

CLIPPEDIMAGE= JP401209746A

PAT-NO: JP401209746A

DOCUMENT-IDENTIFIER: JP 01209746 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 23, 1989

INVENTOR-INFORMATION:

NAME

MORIYAMA, YOSHIFUMI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63035908

APPL-DATE: February 17, 1988

INT-CL (IPC): H01L021/92

US-CL-CURRENT: 257/778

ABSTRACT:

PURPOSE: To make it possible to absorb the stress that is yielded after the mounting of a flip-chip shaped semiconductor device with the ground layer of a bump, by forming the ground layer of the bump with a heat resisting low-stress resin layer and a conductor wiring layer.

CONSTITUTION: In a semiconductor device, a barrier metal layer 9 for connecting a solder bump 10 is formed on an Al electrode 2 on the surface of a silicon substrate 1 through the multilayer interconnection layers of a first conductor layer 5, a second polyimide layer 6 and a second conductor layer 7. The first conductor layer 5 is extending on the first polyimide layer from the upper part

of the Al electrode 2 and connected to the second conductor layer 7 at a surface P. The Al electrode 2 and the barrier metal layer 9 are connected in a zigzag pattern and have mechanically soft structures. The polyimide has heat resisting property and widely used as a resin that can be formed in a minute pattern. Since the elastic coefficient of the polyimide is about two orders of magnitude lower than those of inorganic materials and metal materials, the yielding stress is small. The polyimide layer 6 that is the low stress resin is thickly formed beneath the solder bump 10.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-209746

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月23日

H 01 L 21/92

C-6708-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-35908

⑯ 出 願 昭63(1988)2月17日

⑰ 発 明 者 森 山 好 文 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

半導体基板の一主面に形成された A 電極と前記半導体基板の上に設けられかつ前記 A 電極に接続するはんだバンプとを有する半導体装置において、前記 A 電極と前記はんだバンプの下部電極との間に複数の低応力耐熱性樹脂層及び少なくとも1層の導電層からなる多層配線層を含むことを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にはんだバンプ電極を有するフリップチップ型の半導体装置に関する。

〔従来の技術〕

第3図は従来の半導体装置の一例の断面図である。

半導体装置は、シリコン基板1の表面に設けられた電極2上にバリアメタル9を介してはんだバンプ10を有して構成されている。

パッシベーション膜3としては、シリコン酸化膜や窒化膜、あるいはポリイミド樹脂等の樹脂パッシベーション膜が使用される場合もあった。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、はんだバンプ電極が A 電極上に直接バリアメタルを形成しているので、バンプの下地層の構造には、はんだバンプ電極を設けた半導体装置を搭載基板上に搭載した後で接続部分が受ける機械的応力を吸収する機能がなく、その応力の大部分がバンプ電極そのものに委ねられていた。

一般にフリップチップを実装する場合に信頼性上特に問題とされる点は、搭載基板とフリップチップ間の熱膨張係数の差によって生じる応力による接続部分の劣化であるが、従来ののはんだバンプ

構造にはこれら応力を吸収する働きが非常に小さいので、半導体装置が劣化するという問題があった。

本発明の目的は、はんだパンパを搭載基板に接続した後の応力による劣化の生じない半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板の一主面に形成されたA₁電極と前記半導体基板の上に設けられかつ前記A₁電極に接続するはんだパンパとを有する半導体装置において、前記A₁電極と前記はんだパンパの下部電極との間に複数の低応力耐熱性樹脂層及び少なくとも1層の導電層からなる多層配線層を含んで構成されている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

半導体装置は、シリコン基板1の表面のA₁電

極2の上に、第1導電層5と第2ポリイミド層6と第2導電層7の多層配線層を介してはんだパンパ10を接続するバリアメタル層9を形成している。

第1導電層5はA₁電極2の上から横の第1ポリイミド層の上に延び、そこで第2導電層7とP面で接続し、A₁電極2とバリアメタル層9はジグザグに接続され、機械的にも柔い構造である。

ポリイミドは耐熱性を有し、微細パターン化の可能な樹脂として広く用いられているが、無機材料、金属材料に比較して弾性係数が約2桁低いために発生する応力は小さいものとなる。

また、他から加わる応力を吸収する効果も生じる。

本実施例では、この低応力樹脂であるポリイミド層をはんだパンパ10の下方に厚く形成している。

樹脂層と導電層の層数を増減することにより所望の厚みを設定できる

ポリイミドの場合、その弾性率と膜厚によって

応力が異なってくるが(たとえば昭和59年電子通信学会総合全国大会1-24)、適度な応力吸収の効果を得、かつポリイミドそのものから発生する応力の影響を受けぬ様にするためには、ポリイミドの膜厚は20~200μmぐらいが適切である。

通常、ポリイミドの場合、良好にパターン化可能な一層の厚みは2~20μm程度であるため、十分な厚みを得るためには本実施例のように多層構造にする必要がある。

また、各導電層は、スパッタ法、蒸着法、めっき法にて形成可能な単層又は多層構造とすることができる。

第2図は本発明の第2の実施例の断面図である。

半導体装置は、耐熱性樹脂層と配線層とにより多層配線を行なう事は第1の実施例と同様であるが、第2導電層7を一方のはんだパンパ10の下バリアメタル層9及び第1導電層5の面Pに接続だけでなく、他方のバリアメタル層9、及び第

1導電層5、の面Qに接続する配線または電極引出し配線として兼用している。

厚い低応力樹脂層と電極引き出し配線とによってパンパ下部構造を形成する場合に、パンパ電極の配置はA₁電極2、2の垂直上方に限定する必要はなくなるという効果がある。

〔発明の効果〕

以上説明したように本発明は、パンパ下地層を耐熱性低応力樹脂層と導体配線層とによって形成することにより、フリップチップ形の半導体装置を搭載後に発生する応力をパンパの下地層により吸収させることができる。

また、導電層を利用して半導体チップ上に配線を行なうことができ、パンパ電極を任意の場所に配置させることができ、この際、半導体チップの機能部に与えるダメージについて考慮する必要が少なくなる。

またその結果、半導体チップ表面に厚い樹脂層を形成することができ、半導体素子表面の保護効果やα線遮へい効果を付与することも容易とな

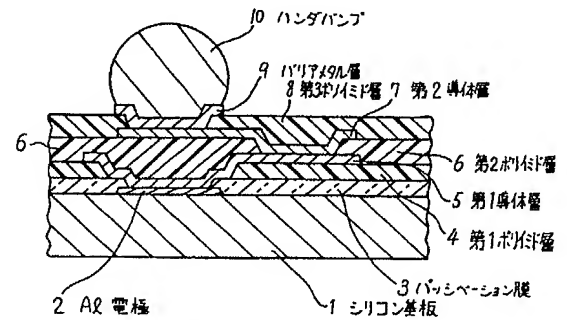
る。

本発明によって得られるフリップチップ形半導体装置は、従来のように搭載基板との熱膨張係数の差を考慮する必要が少なくなり、パンプ配置やパンプサイズを自由に設定できることから、チップ搭載基板は廉価なセラミック基板や樹脂基板を使用するも可能となり、同時に高い接続信頼性を得ることができる。

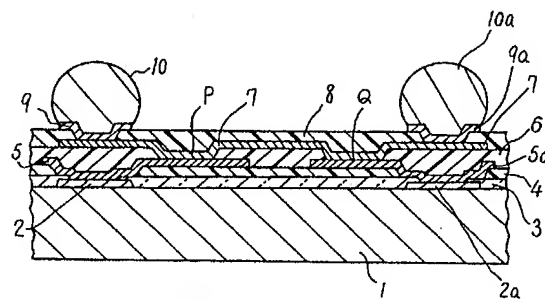
図面の簡単な説明

第1図は本発明の第1の実施例の断面図、第2図は本発明の第2の実施例の断面図、第3図は従来の半導体装置の一例の断面図である。

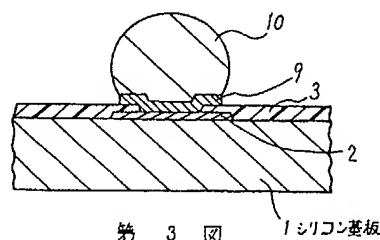
1…シリコン基板、2…Al電極、3…表面保護膜、4…第1ポリイミド層、5…第1導電膜、6…第2ポリイミド層、7…第2導電層、8…第2ポリイミド層、9…バリアメタル層、10…はんだパンプ。



第1図



第2図



第3図